

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-227283

(43)Date of publication of application : 03.09.1996

(51)Int.Cl. G09G 3/36
 G02F 1/133
 G02F 1/133
 G02F 1/133
 G02F 1/136

(21)Application number : 07-032712

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.02.1995

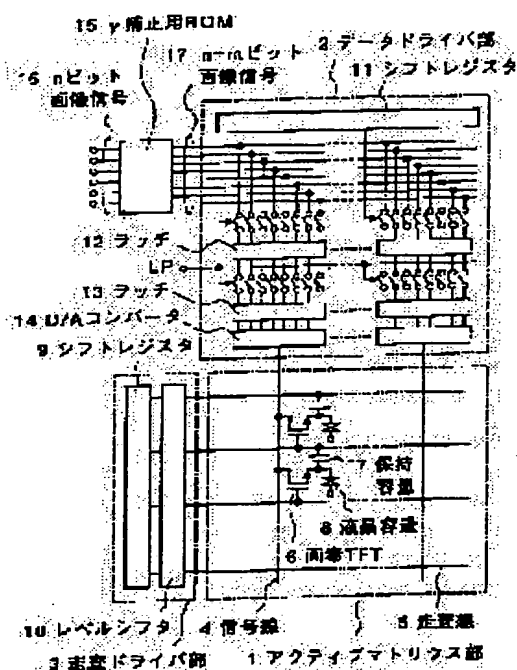
(72)Inventor : MATSUEDA YOJIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE, ITS DRIVING METHOD AND DISPLAY SYSTEM

(57)Abstract:

PURPOSE: To provide an image display matching with an optional gradation display characteristic by providing a data conversion circuit converting the digital input video data of n bits to $n+m$ bits and a digital data driver of $n+m$ bits.

CONSTITUTION: The digital image signal data 16 of (n) bits are converted to the digital image signal data of $n+m$ bits by a data conversion circuit. At this time, a γ characteristic correcting ROM 15 is used as the data conversion circuit. That is, a γ characteristic of a liquid crystal is measured really, and when the address of the ROM is made the data of (n) bits of an input image signal, and the output is made the data of $n+m$ bits converting to the required γ characteristic beforehand, the data are converted successively simply. Thus, the digital input signal of n bits is converted successively to the digital data of $n+m$ bits matching with the γ characteristic of the liquid crystal by the ROM 15, and the gradation display by (n) bits is performed by using a digital data driver 2 of $n+m$ bits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-227283

(43)公開日 平成8年(1996)9月3日

| (51)Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-------------------------------|-------|--------|---------------|--------|
| G 0 9 G 3/36 | | | G 0 9 G 3/36 | |
| G 0 2 F 1/133 | 5 0 5 | | G 0 2 F 1/133 | 5 0 5 |
| | 5 5 0 | | | 5 5 0 |
| | 5 7 5 | | | 5 7 5 |
| | 5 0 0 | | 1/136 | 5 0 0 |
| 1/136 | | | | |
| 審査請求 未請求 請求項の数31 O L (全 19 頁) | | | | |

(21)出願番号

特願平7-32712

(22)出願日

平成7年(1995)2月21日

(71)出願人

000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者

松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人

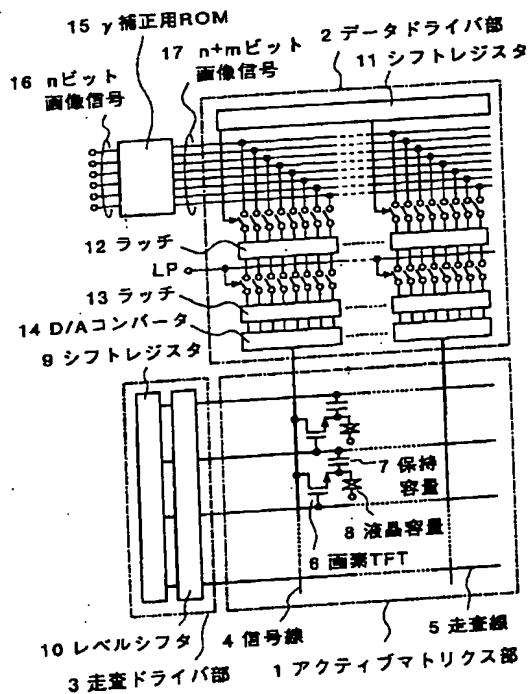
弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 液晶表示装置、その駆動方法及び表示システム

(57)【要約】

【目的】 D/Aコンバータ内蔵液晶表示装置の高画質化を図る。

【構成】 nビットのデジタル画像データを γ 補正テーブルで $n+m$ ビットに変換し、 $n+m$ ビットのD/Aコンバータを用いて表示する。周辺ドライバのロジック部は低電圧共通電源で駆動しノイズ対策をする。D/Aコンバータのデータは反転させずにD/Aコンバータの電源を交流化する。また、ドライバ内部の遅延時間を補償するための回路を設ける。



【特許請求の範囲】

【請求項 1】 それぞれに電極が形成され電極面が互いに対向するように配置された一対の基板と、前記一対の基板間に挟持された液晶材料とを有し、対向する電極間に印加された交流電圧の実効値に応じた輝度で表示を行う液晶表示装置において、 n ビットのデジタル入力画像データを $n+m$ ビットのデジタル画像データに変換するデータ変換回路と、 $n+m$ ビットのデジタルデータドライバを備えてなることを特徴とする液晶表示装置。

【請求項 2】 前記データ変換回路は、液晶の γ 特性を補正するための変換テーブルを書き込んだ ROM を備えてなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記デジタルデータドライバは、 $n+m$ ビットの D/A コンバータを内蔵してなることを特徴とする請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】 前記液晶表示装置は、薄膜トランジスタ又は薄膜非線形素子をスイッチング素子として用いたアクティブマトリクス型液晶表示装置であることを特徴とする請求項 1～請求項 3 のいずれかに記載の液晶表示装置。

【請求項 5】 前記一対の基板のうち一方の基板上には、画素用のポリシリコン薄膜トランジスタと前記デジタルデータドライバ用ポリシリコン薄膜トランジスタとが形成されてなることを特徴とする請求項 1～請求項 4 のいずれかの請求項に記載の液晶表示装置。

【請求項 6】 前記 $n+m$ ビットのデジタルデータドライバは、 $1:2:4:\dots:2^{n+m-1}$ の比からなる $n+m$ 個の容量と $n+m$ 個のアナログスイッチとを組み合わせる D/A コンバータ回路を有してなることを特徴とする請求項 1～請求項 5 のいずれかの請求項に記載の液晶表示装置。

【請求項 7】 前記 $n+m$ 個の容量は、同一形状のパターンを 1 個、2 個、4 個、 $\dots:2^{n+m-1}$ 個並列に接続して形成されてなることを特徴とする請求項 1～請求項 6 のいずれかの請求項に記載の液晶表示装置。

【請求項 8】 前記 $n+m$ ビットのデジタルデータドライバは、 $n+m$ 個の定電流回路と $n+m$ 組の R、 $2R$ の抵抗回路網とを組み合わせる定電流 2 進減衰方式 D/A コンバータ回路を用いてなることを特徴とする請求項 1～請求項 5 のいずれかの請求項に記載の液晶表示装置。

【請求項 9】 それぞれに電極が形成され電極面が互いに対向するように配置された一対の基板と、前記一対の基板間に挟持された液晶材料とを有し、対向する電極間に印加された交流電圧の実効値に応じた輝度で表示を行う液晶表示装置の駆動方法において、 n ビットのデジタル入力信号を液晶の γ 特性に合わせて $n+m$ ビットのデジタルデータに逐次変換し、 $n+m$ ビットのデジタルデータドライバを用いて n ビット分の階調表示を行うことを特徴とする液晶表示装置の駆動方法。

【請求項 10】 水平走査期間のブランキング期間中に

全ての信号線を同一電位にリセットした後、 $n+m$ ビットの D/A 変換された電圧を各信号線に印加することを特徴とする請求項 9 記載の液晶表示装置の駆動方法。

【請求項 11】 a) 複数の走査線と、複数の信号線と、前記走査線と前記信号線との交点に対応して配置された画素電極と、前記画素電極に対応して配置された画素用薄膜トランジスタとを有する第 1 の基板と、b) 前記第 1 の基板に対向して配置され共通電極を有する第 2 の基板と、c) 前記第 1 の基板と前記第 2 の基板との間に挟持された液晶層とを有し、

前記信号線は、シフトレジスタとレベルシフトと D/A コンバータとを有するデータドライバにより駆動され、前記走査線は、シフトレジスタとレベルシフトとバッファとを有する走査ドライバにより駆動されてなる液晶表示装置において、

前記データドライバのシフトレジスタと、前記走査ドライバのシフトレジスタとは、共通の電源に接続され、前記共通の電源の電圧は、前記 D/A コンバータ及び前記バッファの電源の電圧より小さいことを特徴とする液晶表示装置。

【請求項 12】 前記データドライバは第 1 の基板上に形成されたデータドライバ用薄膜トランジスタを有し、前記走査ドライバは第 1 の基板上に形成された走査ドライバ用薄膜トランジスタを有し、前記画素用薄膜トランジスタと前記データドライバ用薄膜トランジスタと前記走査ドライバ用薄膜トランジスタとはポリシリコン薄膜トランジスタであることを特徴とする請求項 11 記載の液晶表示装置。

【請求項 13】 前記データドライバは、 $1:2:4:\dots:2^{n-1}$ の比からなる n 個の容量と n 個のアナログスイッチとを組み合わせる D/A コンバータ回路を有してなることを特徴とする請求項 11 又は請求項 12 記載の液晶表示装置。

【請求項 14】 前記レベルシフトは、並列接続された n チャネルと p チャネルの 2 つのトランジスタに入力部が接続されてなることを特徴とする請求項 11 又は請求項 12 記載の液晶表示装置。

【請求項 15】 a) 複数の走査線と、複数の信号線と、前記走査線と前記信号線との交点に対応して配置された画素電極と、前記画素電極に対応して配置された画素用薄膜トランジスタとを有する第 1 の基板と、b) 前記第 1 の基板に対向して配置され共通電極を有する第 2 の基板と、c) 前記第 1 の基板と前記第 2 の基板との間に挟持された液晶層とを有し、

前記信号線は、シフトレジスタとレベルシフトと D/A コンバータとを有するデータドライバにより駆動され、前記走査線は、シフトレジスタとレベルシフトとを有する走査ドライバにより駆動されてなる液晶表示装置の駆動方法において、

前記 D/A コンバータに入力する画像信号と前記シフト

レジスタに入力するタイミング信号とは同一振幅の信号を用い、前記D/Aコンバータ用の電源レベルをフィールド毎に交互に切り替え、液晶層に交流電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項16】 a) 複数の走査線と、複数の信号線と、前記走査線と前記信号線との交点に対応して配置された画素電極と、前記画素電極に対応して配置された画素用薄膜トランジスタとを有する第1の基板と、b) 前記第1の基板に対向して配置され共通電極を有する第2の基板と、c) 前記第1の基板と前記第2の基板との間に挟持された液晶層とを有し、

前記信号線は、シフトレジスタとレベルシフトとD/Aコンバータとを有するデータドライバにより駆動され、前記走査線は、シフトレジスタとレベルシフトとを有する走査ドライバにより駆動されてなる液晶表示装置の駆動方法において、

前記D/Aコンバータに入力する画像信号と前記シフトレジスタに入力するタイミング信号とは同一振幅の信号を用い、前記D/Aコンバータ用の電源レベルを水平走査期間毎に交互に切り替え、液晶層に交流電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項17】 前記D/Aコンバータを複数の系列に分けて駆動し、隣接する信号線には常に逆極性の画像信号を印加することを特徴とする請求項15又は請求項16記載の液晶表示装置の駆動方法。

【請求項18】 前記共通電極の電位をフィールド毎に交互に切り換えすることを特徴とする請求項15～請求項17のいずれかの請求項に記載の液晶表示装置の駆動方法。

【請求項19】 前記共通電極の電位を水平走査期間毎に切り換えることを特徴とする請求項15～請求項17のいずれかの請求項に記載の液晶表示装置の駆動方法。

【請求項20】 前記走査線に出力される走査信号は4レベルの電位の信号からなり、選択期間直後に選択電位から非選択電位に切り替わる前に一定期間非選択期間以上の電位を保つ場合と非選択期間以下の電位を保つ場合とをフィールド期間毎に切り換えること特徴とする請求項15～請求項19のいずれかの請求項に記載の液晶表示装置の駆動方法。

【請求項21】 前記走査線に出力される走査信号は4レベルの電位の信号からなり、選択期間直後に選択電位から非選択電位に切り替わる前に一定期間非選択電位以上の電位を保つ場合と非選択電位以下の電位を保つ場合とを水平走査期間毎に切り換えることを特徴とする請求項15～請求項19のいずれかの請求項に記載の液晶表示装置の駆動方法。

【請求項22】 前記D/Aコンバータとして容量結合方式のD/Aコンバータを用い、前記D/Aコンバータには白黒レベルを反転させていないデジタル信号を入力することを特徴とする請求項15～請求項21のいずれ

かの請求項に記載の液晶表示装置の駆動方法。

【請求項23】 a) 複数の走査線と、複数の信号線と、前記走査線と前記信号線との交点に対応して配置された画素電極と、前記画素電極に対応して配置された画素用薄膜トランジスタとを有する第1の基板と、b) 前記第1の基板に対向して配置され共通電極を有する第2の基板と、c) 前記第1の基板と前記第2の基板との間に挟持された液晶層と、前記信号線を駆動するデータドライバと、前記走査線を駆動する走査ドライバとを有する液晶表示装置において、

前記データドライバは、シフトレジスタと、ラッチと、前記シフトレジスタ内部の遅延時間に応じて画像信号データのタイミングを遅延させる遅延回路とを有することを特徴とする液晶表示装置。

【請求項24】 前記遅延回路は、前記シフトレジスタの遅延時間を検出する遅延時間検出回路と、前記遅延時間検出回路で検出された時間分だけ画像信号データを遅延させる遅延時間補償回路とを有することを特徴とする請求項23記載の液晶表示装置。

【請求項25】 前記データドライバは第1の基板上に形成されたデータドライバ用薄膜トランジスタを有し、前記走査ドライバは第1の基板上に形成された走査ドライバ用薄膜トランジスタを有し、前記画素用薄膜トランジスタと前記データドライバ用薄膜トランジスタと前記走査ドライバ用薄膜トランジスタとはポリシリコン薄膜トランジスタであることを特徴とする請求項23又は請求項24記載の液晶表示装置。

【請求項26】 a) 複数の走査線と、複数の信号線と、前記走査線と前記信号線との交点に対応して配置された画素電極と、前記画素電極に対応して配置された画素用薄膜トランジスタとを有する第1の基板と、b) 前記第1の基板に対向して配置され共通電極を有する第2の基板と、c) 前記第1の基板と前記第2の基板との間に挟持された液晶層と、前記信号線を駆動するデータドライバと、前記走査線を駆動する走査ドライバとを有する液晶表示装置の駆動方法において、

前記データドライバは、シフトレジスタと、ラッチと、前記シフトレジスタのクロック信号から前記ラッチを制御する出力信号までの遅延時間に応じて画像信号データのタイミングを遅延させることを特徴とする液晶表示装置の駆動方法。

【請求項27】 前記遅延回路は、前記シフトレジスタのクロック信号から前記ラッチを制御する出力信号までの遅延時間を検出し、前記検出された遅延時間を画像信号データを遅延させる回路にフィードバックし自動的に遅延時間を補償することを特徴とする請求項26記載の液晶表示装置の駆動方法。

【請求項28】 a) アクティブマトリクス型の液晶表示パネルと、b) アナログ画像信号をnビットのデジタルデータに変換するA/Dコンバータと、前記nビット

10

20

30

40

50

のデジタルデータを液晶の γ 特性にあわせて $n+m$ ビットのデジタルデータに変換する γ 補正回路と、 $n+m$ ビットのデジタルデータをアナログ信号に変換するD/Aコンバータとを有するデータドライバと、c)これらの回路の動作タイミングを制御するタイミングコントローラと、を備えてなることを特徴とする表示システム。

【請求項29】 前記A/Dコンバータの出力信号と、前記 γ 補正回路の入出力信号と、前記タイミングコントローラの出力信号と、前記データドライバの入力信号とは、電圧振幅が同一であることを特徴とする請求項28記載の表示システム。

【請求項30】 前記 γ 補正回路の出力データを遅延させる遅延回路を有し、前記A/Dコンバータの遅延時間と前記 γ 補正回路の遅延時間と前記遅延回路の遅延時間との和が、前記データドライバのクロック信号から画像信号データをラッチするまでの遅延時間と等しくなるように、前記遅延回路の遅延時間を設定したことを特徴とする請求項28又は請求項29記載の表示システム。

【請求項31】 前記データドライバは第1の基板上に形成されたデータドライバ用薄膜トランジスタを有し、前記走査ドライバは第1の基板上に形成された走査ドライバ用薄膜トランジスタを有し、前記画素用薄膜トランジスタと前記データドライバ用薄膜トランジスタとはポリシリコン薄膜トランジスタであることを特徴とする請求項28～請求項30のいずれかの請求項に記載の表示システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置、その駆動方法及び表示システムに関する。

【0002】

【従来の技術】従来の液晶表示装置の例としては特開平6-222741などがある。図2はその液晶表示装置のデータドライバの回路図の例である。一般に、液晶表示装置に画像信号を書き込むデータドライバの方式としては、アナログ方式とデジタル方式とがある。このうち、アナログ方式は回路の消費電力が大きいので、携帯用のコンピュータ等のディスプレイにはあまり適していない。一方、デジタル方式は消費電力は少ないが、出力電圧を外部から供給する必要があるため外部電源数が多くなるという問題がある。D/Aコンバータを内蔵し、外部電源数を最小にする方式もあるが、一般的にはD/Aコンバータの出力電圧は線形的であり、液晶の γ 特性とは異なるため階調表示に適していない。そこで、入力電圧間の電圧を補完して出力させ、外部入力電源数を減らしながらある程度の γ 補正をするという工夫が行われる。

【0003】たとえば、図2の例では外部から9レベルの電圧を供給し、合計64レベルの出力電圧を出すことができる。V1、V2...V9は外部から与えられた

9つの電源電圧である。上位3ビット画像信号21はデコーダ23によって8値のデータに変換され、電源選択回路24と25によってこの9つの電源電圧のうち隣接する2つの電源を選択する。下位3ビット画像信号22はデコーダ24によって8値のデータに変換され、抵抗分割方式D/Aコンバータ26によって前述の選択された2つの電圧レベルを8等分したものの中から一つを選んで出力させる。この方式では、外部から入力する9つの電源電圧を液晶の γ 特性に応じて最適化しておけば、ある程度の γ 補正が可能である。

【0004】

【発明が解決しようとする課題】しかし、従来のTFT回路においては以下に述べるような課題があった。すなわち補間されて出力された電圧は本来表示すべき電圧と異なってしまうという点であり、これについて以下図面を用いて説明する。図3は液晶表示装置の印加電圧と透過率の関係を示す図である。実際の液晶表示装置の透過率依存性は31の破線のような曲線を描くが、図2のデータドライバ回路では9つの入力電源電圧V1、V2...V9を用いて出力電圧を補間するため32に示すような折れ線の透過率依存性を前提としていることになる。図4は、図3の一部を拡大したものであるが、例えば2つの入力電圧V1とV2の間を8等分して出力電圧Va、Vb、Vc、Vd、Ve、Vf、Vgを液晶表示装置に印加すると、それに対応したグレースケールの表示はTa、Tb、Tc、Td、Te、Tf、Tgのように白つぶれたものになってしまう。

【0005】本発明の液晶表示装置及びその駆動方法及び表示システムはこの様な課題を解決するものであり、その目的とするところは、高画質な液晶表示装置を実現することである。

【0006】

【課題を解決するための手段】本発明の液晶表示装置は、 n ビットのデジタル入力映像データを $n+m$ ビットに変換するデータ変換回路と、 $n+m$ ビットのデジタルデータドライバを備えていることを特徴とする。また、本発明の液晶表示装置の駆動方法は、 n ビットのデジタル入力信号を液晶の γ 特性に合わせて $n+m$ ビットのデジタルデータに逐次変換し、 $n+m$ ビットのデジタルデータドライバを用いて n ビット分の階調表示を行うことを特徴とする。

【0007】本発明の液晶表示装置は、信号線を駆動するデータドライバはCMOSスタティックシフトレジスタとレベルシフト及びD/Aコンバータとからなり、走査線を駆動する走査ドライバはCMOSスタティックシフトレジスタとレベルシフト及びバッファとからなり、前記データドライバ内のシフトレジスタと前記走査ドライバ内のシフトレジスタ及びD/Aコンバータの入力映像信号入力部は共通の電源に接続され、前記共通の電源の電圧は前記D/Aコンバータ及び前記バッファ回路の

電源電圧より小さいことを特徴とする。また、本発明の液晶表示装置の駆動方法は、データドライバ内にD/Aコンバータを有し、前記D/Aコンバータの入力映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用い、前記D/Aコンバータ用の電源レベルをフィールド毎に交互に切り替え、液晶に交流電圧を印加することを特徴とする。あるいは、データドライバ内に複数の系統のD/Aコンバータを有し、前記D/Aコンバータ用の電源レベルを水平走査期間毎に交互に切り替え、液晶に交流電圧を印加し、隣接する信号線には常に逆極性の映像信号を印加することを特徴とする。あるいは、データドライバ内に複数の系統のD/Aコンバータを有し、前記D/Aコンバータ用の電源レベルを水平走査期間毎に交互に切り替え、液晶に交流電圧を印加し、隣接する信号線には常に逆極性の映像信号を印加することを特徴とする。あるいは、D/Aコンバータ用の電源レベルをフィールド毎に交互に切り替え、共通電極の電位もフィールド毎に交互に切り替え、液晶に交流電圧を印加することを特徴とする。あるいは、D/Aコンバータ用の電源レベルを水平走査期間毎に交互に切り替え、共通電極の電位も水平走査期間毎に交互に切り替え、液晶に交流電圧を印加することを特徴とする。あるいは、D/Aコンバータ用の電源レベルをフィールド毎に交互に切り替え、走査信号は4レベルの電位の信号からなり、選択期間直後に選択電位から非選択電位に切り替わる前に一定期間非選択電位以上の電位を保つ場合と非選択電位以下の電位を保つ場合とをフィールド毎に切り替え、液晶に交流電圧を印加することを特徴とする。

【0008】本発明の液晶表示装置は、データドライバにはシフトレジスタとラッチを備え、前記シフトレジスタ内部の遅延時間に応じて映像信号データのタイミングを遅延させる遅延回路を備えたことを特徴とする。また、本発明の液晶表示装置の駆動方法は、シフトレジスタのクロック信号からラッチを制御する出力信号までの遅延時間に応じて、映像信号データのタイミングを遅延させることを特徴とする。

【0009】本発明の表示システムはアナログ映像信号をnビットのデジタルデータに変換するA/Dコンバータと、前記nビットの映像信号データを液晶の γ 特性にあわせてn+mビットのデータに変換する γ 補正回路、n+mビットのD/Aコンバータを有するデータドライバ、及びこれらの回路の動作タイミングを制御するタイミングコントローラとを備えたことを特徴とする。

【0010】

【実施例】

(実施例1) 本実施例の液晶表示装置を以下図面に基いて説明する。図1は液晶表示装置の回路図の例である。ここでは、薄膜トランジスタ(以下TFTと略記)を用いた液晶表示装置について説明する。画像表示を行うアクティブマトリクス部1には信号線4と走査線5とがマトリクス状に配置され、その交点に画素TFT6、保持容量7、液晶容量8が接続されている。走査線4に選択パルスを供給する走査ドライバ部3はシフトレジスタ9とレベルシフタ10とからなる。レベルシフタ10の出力部にはバッファ回路がついている場合も多い。信号線4に画像信号を供給するデータドライバ部2は、シフトレジスタ11とその出力タイミングに応じてn+mビットのデジタル画像信号17からデータを取り込むラッチ12、ラッチ12に蓄積されたデータを一斉に書き込むラッチ13、そしてラッチ13に蓄積されたn+mビットのデジタル画像データをアナログ信号に変換するD/Aコンバータ14とからなる。このように2段のラッチを備えていると、1段目のラッチ12にデータを書き換える期間中も、もう一方のラッチ13に蓄積されているデータでD/Aコンバータを動作させることができるため、信号線4を駆動するのに十分な時間が確保できる。

【0011】nビットのデジタル画像信号データ16はデータ変換回路でn+mビットのデジタル画像信号データに変換される。ここではこのデータ変換回路として γ 補正用ROM15を用いている。液晶の γ 特性を実際に測定して、ROMのアドレスを入力画像信号のnビット、出力に所望の γ 特性に変換するn+mビットのデータにしてしておけば簡単に逐次データを変換できる。たとえば、異なる液晶材料を用いる場合にもこのROMを差し替えるだけでよい。もちろん他の回路でデータ変換を行ってもよいが、望ましくは γ 補正用テーブルを書き込んだROMを用いるべきである。

【0012】なお、ここではD/Aコンバータを内蔵したデジタルデータドライバを用いているが、フルデジタル方式のドライバやPWM出力のドライバ等でもかまわない。ただし、ここではnビットからn+mビットへ画像データの変換を行うことで γ 補正を行っているのでデータ変換された後の出力は線形的であってもかまわない。線形的な出力でもかまわなければ、入力電源数も少なく比較的簡単な回路構成で様々な大きさの画面に対応できるD/Aコンバータ内蔵方式が望ましい。

【0013】また、ここではアクティブマトリクス型の液晶表示装置を用いて説明したが、本発明は単純マトリクスを含むすべての液晶表示装置に用いることができる。ただし、単純マトリクス方式では走査線数の増大とともに選択部と非選択部の電圧比が減少するため、原理的に多階調表示化するのが困難である。したがって多階調表示によって高画質を実現するためにはアクティブマ

トリクス型の液晶表示装置を用いるのが望ましい。

【0014】次に、図5を用いて本発明がどのように γ 補正を行っているかについて説明する。ここでは6ビットのデジタル画像信号データを γ 補正テーブルに基づき8ビットのデジタル画像信号データに変換した場合を想定してある。同図において白い丸は8ビットD/Aコンバータによって出力可能な電圧とその場合の液晶表示装置の透過率を示した点であり、黒い丸は6ビットのデータ出力を γ 補正テーブルに基づいて8ビット分のデータより選択された6ビットのデータとそれに対応する出力電圧と液晶表示装置の透過率を示したものである。

【0015】一般に、6ビットのデータを8ビットのデータに変換すると、8ビットの全データの4個について1個の割合で変換データが選択されることになるが、ここでは液晶表示装置の印加電圧に対する透過率依存性に応じて選択される電圧差を変化させている。たとえば液晶表示装置の印加電圧に対する透過率依存性が急峻な領域では3個について1個あるいは2個について1個の割合で選択され、なだらかな領域では5個以上に対して1個の割合で選択される。この結果、階調表示の透過率をTa, Tb, Tc, . . . Tgに示すようにほぼ等間隔にすることができる。もちろん透過率を等比間隔にすることもできるし、必要に応じて任意の γ 特性にすることができる。例えば、画面の明るさを重視してやや明るい方を中心に階調表示を行うことも可能である。もし、 γ 補正用テーブルROMを複数備えていれば、使用目的によって異なる γ 特性に切り換えて表示することもできる。

【0016】なお、ここでは2ビット分を加えて γ 補正したが、3ビット、4ビットと余分に加えるビット数を増加させればそれだけ厳密な γ 補正が可能になる。ただし、あまり多ビット化するとD/Aコンバータ回路が複雑化してしまう。したがって実用的には2〜3ビット分を加えるのが望ましい。また、階調表示ビット数の増加にはフレームレートコントロール等の方法も使うことができる。たとえば、6ビットのD/Aコンバータ内蔵のドライバに2ビット分のフレームレートコントロールを加えて合計8ビット分の線形的な電圧による階調表示を可能にしておき、前述のように γ 補正テーブルを用いて6ビット分の表示を行うことも可能である。

【0017】図1においては、アクティブマトリクス部と走査ドライバ部及びデータドライバ部を分離した形で示したが、これは通常はドライバ回路には外部LSIチップをアクティブマトリクス形液晶パネルに実装して用いることが多いためである。外形寸法を小型化し装置を低コスト化するためには、望ましくはこれらのドライバ回路をアクティブマトリクス基板上にTFTを用いて一体形成する必要がある。これを実現できる素子としては、ガラス基板上に形成されたポリシリコンTFT回路がある。以下、このポリシリコンTFT回路の形成方法

について説明する。

【0018】図16は、CMOSセルフアラインTFT回路でドライバ部を形成し、LDD型TFT回路でアクティブマトリクス部を形成する場合の、各プロセスにおけるポリシリコンTFTの断面図である。まず、同図

(a)に示すように、ガラス基板上に基板からの不純物の拡散を防止するための絶縁膜を堆積させた後、ポリシリコン薄膜72を堆積させる。このポリシリコン薄膜72の結晶性を向上させることが電界効果移動度を増大させるのには必要となる。そこで、レーザーアニールや固相成長法などを用いてポリシリコン薄膜を再結晶化したり、アモルファスシリコン薄膜を結晶化してポリシリコン化したものを使う。このポリシリコン薄膜72を島状にパターニングした後、ゲート絶縁膜73を堆積させる。次に同図(b)に示すように、ゲート電極74を形成した後、NチャネルTFTとなる部分をマスク材75覆いボロンイオンを高濃度でドーピングし、PチャネルTFTのソース・ドレイン部を形成する。次に同図

(c)に示すように、マスク材を除去して全面にリンイオンを低濃度でドーピングする。さらに同図(d)に示すように、PチャネルTFTとなる部分と画素TFTのLDD部分を再びマスク材で覆い、リンイオンを高濃度でドーピングする。こうして画素部のTFTはN型低抵抗ポリシリコン薄膜(n^+ poly-Si)からなるソース・ドレイン電極とチャネル部との間に、N型高抵抗ポリシリコン薄膜(n^- poly-Si)からなるLDD領域が形成される。これによって画素TFTのオフ電流が十分低く抑えられ、アクティブマトリクス部でのクロストークの発生を防ぐことができる。最後に、同図(e)に示すように、層間絶縁膜76を形成し、金属薄膜77で配線を形成し、透明導電膜79で画素電極を形成し、パッシベーション膜78を形成すればドライバ一体形成アクティブマトリクス基板が完成する。この基板に配向処理を施し、同様に配向処理を施した対向基板を数 μ mのギャップを介して対向させ、アクティブマトリクス部に液晶を封入すれば液晶表示装置が完成する。

【0019】では、ここでD/Aコンバータの構成について具体的な例をあげて説明する。図6は容量分割方式のD/Aコンバータを用いた8ビットデータドライバの回路図の例である。シフトレジスタ61からは信号線1本分のデータをラッチに取り込むタイミングパルスが各段毎に出力される。この出力によって8個のデジタルラッチA1, A2, A3, . . . A8にはデータラインD1, D2, D3, . . . D8から8ビット分のデータが同時に取り込まれる。LPは2段目のラッチB1, B2, B3, . . . B8を制御するラッチパルス端子である。SETはD/Aコンバータにデータを送るタイミングを制御するセット端子であり、RESETはD/Aコンバータのデータをリセットするためのリセット端子である。V0はD/Aコンバータ用の共通電源であり、COMは

信号線の電位をリセットするための電源である。C0は信号線1本分の等価容量である。P点は信号線に相当する。

【0020】8ビットD/Aコンバータは8つの容量C1, C2, C3... C8と8つのリセット用トランジスタTa1, Ta2, Ta3... Ta8及び8つのセット用トランジスタTb1, Tb2, Tb3... Tb8とからなる。Tcは信号線の電位をリセットするトランジスタである。ここで、C1, C2, C3... C8の8つの容量の大きさは1:2:4:8:16:32:64:128にしてある。すべての容量の電荷をリセットした後、同じ電圧を印加するとこれらの容量に蓄積される電荷量もこの比に等しくなる。一方、信号線の容量は一定であるから、この8つの容量の任意の容量のスイッチを閉じて信号線に接続すると、その選択の組合せ256通りの電圧を信号線に印加することができる。

【0021】この方式では非線形的な階調電圧を印加するのは難しいが、前述のようにnビットデータをn+mビットデータに変換する場合にγ補正を行っているの
で、このD/Aコンバータを用いたデータドライバです
ぐれた階調表示特性が得られる。

【0022】この方式はD/Aコンバータの消費電力が非常に少なく済み、回路も非常に簡単であるため携帯用のディスプレイには最適である。なお、この方式で高い精度のD/A変換を行うためには容量比が正確でなければならない。しかし、一般的に半導体技術や薄膜技術を用いてこの容量を形成すると、パターン寸法が若干ずれた場合にも、最も大きい容量の値は最も小さい容量の大きさ分程度の誤差はすぐに生じてしまう。そこで、望ましくは同一形状の容量パターンを容量比の数だけ並列に接続すればよい。たとえば、同一パターンの容量を1個、2個、4個... 128個と並列接続するわけである。この方法では、もしパターンがやや大きめにずれたり、やや小さめにずれても容量比は一定に保たれる。

【0023】次に他の方式のD/Aコンバータを用いた例を説明する。図8は定電流2進減衰方式の8ビットD/Aコンバータを用いたデータドライバの例である。これは8個の定電流電源と8組のR, 2R型の抵抗回路網を組み合わせたもので、定電流回路にはすべて一定の電流IRが流れるため同一トランジスタを用いて回路を構成できる。このD/Aコンバータは電流源を備えているため、負荷となる信号線の容量の大きさの制約をあまりうけない。従って比較的小さな画面から大きな画面まで対応できる。ただし、電流供給能力を上げすぎると消費電力が増大する。

【0024】以上2種類のD/Aコンバータの例を説明したが、本発明はいかなるD/Aコンバータを用いたデータドライバにも対応できるし、異なる種類のD/Aコンバータを組み合わせることも可能である。また、以上の説明はnビット画像信号を基に説明してきた

が、いうまでもなくカラーの3原色の信号が同時に入力される場合には $3 \times n$ ビットのデータを $3 \times (n+m)$ ビットに変換することになる。また、データドライバの動作周波数を低下させるために画面をp分割して $p \times n$ ビットのデータが同時に入力される場合には $p \times n$ ビットのデータを $p \times (n+m)$ ビットのデータに変換すればよい。このように、本発明の液晶表示装置は様々な入力のデジタル信号に対して良好なγ補正を行うことができる。

【0025】（実施例2）本実施例では液晶表示装置の駆動方法について説明する。図1において、nビット画像信号16は逐次γ補正用ROM15によってn+mビット画像信号17に変換されてデータドライバ部2に入力される。ここで、γ補正用ROMに記憶させるγ補正用テーブルの作り方について説明する。まず、液晶表示装置の透過率を測定し、透過率を縦軸に入力電圧を横軸にして透過率の入力電圧依存性のグラフを作製する。次に、n+mビットのD/Aコンバータで出力することが可能な 2^{n+m} 個の電圧値を入力電圧の横軸上にプロットする。さらに、目的とするnビットの階調表示の透過率を縦軸にプロットし、その点からグラフ上の透過率のカーブに水平な平行線を引き、交点から垂線をおろす。この垂線と横軸の交点に最も近いn+mビットの点に変換されるべきデータとなる。たとえば、図5中で黒丸で示された点もこの方法で求められたものである。こうしてROMのアドレスにnビットのデータを対応させ、そこに記憶するデータを以上の方法で求められたn+mビットのデータにしておけば、1個のROMで簡単に逐次変換することができる。

【0026】次に、このように逐次γ補正用テーブルで変換された画像信号を用いて、液晶表示装置を駆動する方法について説明する。図7は図6に示すような8ビットデジタルデータドライバの駆動電圧のタイミングチャートの例である。1水平走査期間は映像信号データが送られて来る水平走査選択期間と、映像信号データが送られて来ない水平ブランキング期間の2つに分けられる。水平走査選択期間において8ビットの画像信号データD1, D2, D3... D8が順次送られてくると、このデータと同期してシフトレジスタの出力SR1, SR2... が1段ずつ選択される。これによって8ビット分のデータが1段目のラッチに順次取り込まれていく。全てのデータが1段目のラッチに書き込まれた後、水平ブランキング期間にセット信号SETがローレベルとなりD/Aコンバータの入力がリセットされ、リセット信号RESETがハイレベルとなりすべての信号線が同一電位となる。この間に、ラッチパルスLPによって1段目のラッチに書き込まれていたデータが2段目のラッチに書き込まれる。そして、再びリセット信号をローレベルとして信号線をオープンにした後、セット信号をハイレベルとしてD/Aコンバータの出力を信号線に接続す

る。このセットとリセットのタイミングは水平走査期間内で自由に設定することも可能だが、望ましくは水平ブランキング期間中に全ての信号線の電位を同一電位にリセットした後、 $n+m$ ビットのD/A変換された電圧を各信号線に印加するべきである。なぜなら、こうすることによって、水平走査選択期間中は常に信号線を駆動することができ、液晶に十分な信号を印加することができるからである。

【0027】(実施例3) 本実施例ではノイズを低減させることにより高画質化できる液晶表示装置について説明する。一般に、多ビットのD/Aコンバータを備えたデジタルドライバではアナログ変換する際、様々なノイズを取り込みやすい。

【0028】図9は、デジタルデータドライバに用いられる代表的なシフトレジスタ回路の回路図とタイミングチャートである。この回路では180度位相のずれたクロック信号を用いてクロック信号の半周期ずつ選択パルスをシフトさせることができる。この回路は左右方向のいずれにもパルスを転送することができ、Rをハイレベル、Lをローレベルにすれば右方向へ、逆にRをローレベル、Lをハイレベルにすれば左方向へシフトさせることができる。このシフトレジスタのクロック信号の立ち上がり立ち下りのタイミングは、ちょうどデジタル映像信号のドット毎の切り替わりと同じタイミングである。このクロック信号とデジタルデータ信号のD/Aコンバータへの影響を最小にするためには、なるべく低い電圧で駆動するべきである。しかし、液晶には通常±5V程度の信号は印加しなければならないからD/Aコンバータの電源電圧はあまり低くできない。

【0029】そこで、本実施例の液晶表示装置では以下の構成とする。まず、データドライバはCMOSスタティックシフトレジスタとレベルシフタ及びD/Aコンバータからなり、走査ドライバはCMOSスタティックシフトレジスタとレベルシフタ及びバッファからなる。そして、これらのシフトレジスタ及びラッチ回路は共通の電源に接続しておく。したがって、シフトレジスタのクロック信号や入力信号、デジタル画像信号データはすべて同一電源のロジック信号となる。そしてレベルシフタによって各D/Aコンバータの制御信号を必要なだけ昇圧し、走査線を駆動するバッファの入力信号も同様に昇圧する。一般に、CMOSスタティック型のシフトレジスタは低電圧でも非常に高速動作が可能で、消費電流も少ないため携帯用の液晶表示装置のドライバに適している。上記構成によれば同一の低電圧電源ですべてのロジックを動かすためインタフェースも簡単でノイズを生じにくい。さらに、共通の電源が使えるため、ドライバ内部までの配線を非常に低インピーダンスにすることが可能となり、もし局所的に電流が多く流れる部分があっても電源電圧が変動する可能性がほとんど無い。

【0030】以上の構成は、データドライバLSIと走

査ドライバLSIを実装部分の接触抵抗や配線抵抗を十分低く保ちながら液晶パネルに接続することでも実現できるが、さらに効果を高めるためには同一ガラス基板上に一体形成するのが望ましい。すなわち、図16に示すようなポリシリコン薄膜トランジスタを用いてドライバ部もアクティブマトリクス部と一体形成すれば電源を共通化しやすくなり、幅広い配線で各ロジック部を囲むことでノイズの低減が可能である。

【0031】また、本実施例の液晶表示装置においては各種D/Aコンバータを用いることが可能だが、電流源を用いるD/Aコンバータはノイズを発生しやすい。望ましくは必要最低限だけ電流を流すD/Aコンバータを用いるべきである。たとえば、図6の容量分割方式のD/Aコンバータは、容量に電荷を充放電する電流しか流さないためノイズの発生も少ない。

【0032】さらに本実施例においては、高速でかつ安定にレベルシフトさせることができしかもノイズの発生の少ないレベルシフタを用いるのが望ましい。本実施例の液晶表示装置に適したレベルシフタ回路の回路図とタイミングチャートの例を図10に示す。同図(b)のINに示すような波形が入力すると、OUTに示すような波形が出力される。つまり、VCCレベルからVDDレベルへ出力電圧がレベルシフトされる。このレベルシフト回路では、同図(a)に示すように並列接続されたnチャネルとpチャネルの2つのトランジスタに入力部が接続されている。こうすることによって、レベルシフタの入力が切り替わって出力が切り替わるまでの途中段階で流れる貫通電流を低く抑えることができ、スイッチング速度が向上し安定に動作する。もちろん消費電流も低く抑えられるためノイズの発生も少ない。

【0033】(実施例4) 本実施例ではD/Aコンバータを用いる液晶表示装置の高画質化を図る駆動方法について説明する。図11は液晶表示装置の駆動方法を示すタイミングチャートである。液晶は交流駆動する必要があるため映像信号Vidはある電位Vcを中心に対称に1フィールド毎に交流反転させる。走査信号Vgは1フィールドにつき1回ある期間T1だけ選択レベルになる。このT1が1水平走査期間に相当する。なお、TF方式の液晶表示装置では画素TFがオフする際に生じるつきぬけ電圧分だけ画素電極の電位が信号線の電位より下がるため、対向基板上の共通電極電位Vcomは、映像信号中心Vidよりこのつきぬけ電圧分だけ低く設定する必要がある。本実施例では、ノイズの少ない映像信号をD/Aコンバータでフィールド毎に交流反転出力させるために下記の方法を用いる。

【0034】まず、D/Aコンバータに入力するデジタル映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用いる。そしてD/Aコンバータの電源レベルをフィールド毎に交互に切り替え、液晶に交流電圧を印加する。すなわち、本実施例の駆動方法においては

あるフィールド期間内で信号線に印加すべきD/Aコンバータのアナログ出力電圧範囲は限られており、その範囲を出力するのに必要最低限の電圧にしておくわけである。たとえば、 $6\text{V} \pm 5\text{V}$ の電圧範囲で液晶を駆動する場合最大 10V の出力レンジになるが、実際に必要なのは正極性の信号を印加するフィールドで $8\text{V} \sim 11\text{V}$ 程度、負極性の信号を印加するフィールドで $1\text{V} \sim 4\text{V}$ 程度である。つまりそれぞれのフィールドで 3V 程度のアナログ出力が可能な範囲でD/Aコンバータの電源を必要最低限にしておけば、D/Aコンバータで消費される電流も少なくすみ、ノイズの発生も少ない。

【0035】さらに、より望ましい駆動方法としては以下の方法があるすなわち、図6に示すような容量結合方式のD/Aコンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。容量結合方式の場合、リセットする電位COMに対して、データを書き込む電源V0をCOMに対して正側と負側を交互に設定することができる。この場合、D/A変換される階調電圧も白レベルと黒レベルが交流反転されることになるため、外部回路でデータを白黒反転させる必要が無い。高速でデータを反転させるような回路が不要になるため、ノイズの発生も抑えることができ、外部回路は簡略化される。もちろん、消費電流も少ない。

【0036】以上述べた方法は、画面全体に同じ極性の映像信号を書き込むため、映像信号に加わるノイズが最も少なくすむ方法である。ただし、この方法では十分な保持容量を確保しなければ、液晶の誘電異方性に基づくつきぬけ電圧の差によるフリッカーを生じやすい。また、走査線や容量線の配線抵抗を十分下げなければ遅延による左右方向の輝度むらや左右方向のクロストークを生じやすい。これらの問題を回避する駆動方法としては以下に述べる方法がある。

【0037】まず、D/Aコンバータを複数系統に分けておき、電源も別配線にしておく。D/Aコンバータに入力するデジタル映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用いる。そしてD/Aコンバータの電源レベルをフィールド毎に交互に切り替え、液晶に交流電圧を印加するが、奇数列の信号線に接続されたD/Aコンバータの電源電圧と偶数列の信号線に接続されたD/Aコンバータの電源電圧は 180° 位相をずらして交互に切り換える。すなわち、この駆動方法においては隣接する信号線には常に逆極性の映像信号が印加されることになる。したがって、正極性で書き込まれた画素と負極性で書き込まれた画素が同数存在するからフリッカーが目立たなくなる。また、走査線や容量線を通じて画素に印加される電荷が隣接する画素間である程度補われるため、左右方向の輝度むらや左右のクロストークを生じにくくなる。もちろん、この方法でもD/Aコンバータ用の電源は正極性と負極性でそれぞれ必要なアナログ出力範囲をカバーできる最低限の電源電圧に設

定しているから、D/Aコンバータの消費電力も少なく発生するノイズも少ない。なおこの方法では、D/Aコンバータに白黒反転機能が無い場合には、データ配線も複数系列設けて正極性の信号と負極性の信号を分けて入力しなければならない。

【0038】そこで、より望ましい駆動方法としては以下の方法がある。すなわち、図6に示すような容量結合方式のD/Aコンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。前述のように、この方法ではD/Aコンバータ自身に白黒反転機能があるため、データ配線を複数系列化する必要が無い。もちろん、高速でデータを反転させるような回路が不要になるためノイズの発生を抑えることができ、外部回路が簡略化され、消費電流も少ない。

【0039】さらに、信号線方向のクロストークも回避できる駆動方法について説明する。まず、D/Aコンバータを複数系統に分けておき、電源も別配線にしておく。D/Aコンバータに入力するデジタル映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用いる。そしてD/Aコンバータの電源レベルを水平走査期間毎に交互に切り替え、液晶に交流電圧を印加するが、奇数列の信号線に接続されたD/Aコンバータの電源電圧と偶数列の信号線に接続されたD/Aコンバータの電源電圧は 180° 位相をずらして交互に切り換える。すなわち、この駆動方法においては隣接する信号線には常に逆極性の映像信号が印加されることになり、しかもその極性が1水平走査期間毎に交流反転するから、上下左右に隣接する画素には反対の極性の信号が書き込まれていることになる。これによって、フリッカーが目立たなくなるのはもちろん、走査線や容量線を通じて画素に印加される電荷が隣接する画素間である程度補われるため左右方向の輝度むらや左右のクロストークを生じにくくなり、信号線の平均的な電位が映像信号によらずほぼ一定になるから上下方向の輝度むらや上下方向のクロストークも生じにくくなる。つまり、上下左右両方向の輝度の均一性を向上しクロストークを抑える駆動方法である。もちろん、この方法でもD/Aコンバータ用の電源は正極性と負極性でそれぞれ必要なアナログ出力範囲をカバーできる最低限の電源電圧に設定しているから、D/Aコンバータの消費電力も少なく発生するノイズも少ない。なおこの方法では、D/Aコンバータに白黒反転機能が無い場合には、データ配線も複数系列設けて正極性の信号と負極性の信号を分けて入力しなければならない。

【0040】そこで、より望ましい駆動方法としては以下の方法がある。すなわち、図6に示すような容量結合方式のD/Aコンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。前述のように、この方法ではD/Aコンバータ自身に白黒反転機能があるため、データ配線を複数系列化する必要

が無い。もちろん、高速でデータを反転させるような回路が不要になるためノイズの発生を抑えることができ、外部回路が簡略化され、消費電流も少ない。

【0041】(実施例5) 本実施例ではD/Aコンバータを用いる液晶表示装置の高画質化を図る第2の駆動方法について説明する。図11に示す駆動方法ではD/Aコンバータの電源電圧を大きな振幅で交互に移動させる必要があったので、ここではこの電圧の振幅を減らす方法について説明する。図12は液晶表示装置の駆動方法を示すタイミングチャートである。液晶は交流駆動する必要があるため映像信号V_idはある電位V_cを中心に対称に1フィールド毎に交流反転させるが、このV_cもフィールド毎に逆位相で交流駆動する。この結果、映像信号V_idの電圧範囲は図11に比べるとかなり狭い範囲となる。このV_cと同期させて対向基板上の共通電極電位V_comも交流駆動する。なお、TFT方式の液晶表示装置では画素TFTがオフする際に生じるつきぬけ電圧分だけ画素電極の電位が信号線の電位より下がるため、対向基板上の共通電極電位V_comは、映像信号中心V_idよりこのつきぬけ電圧分だけ低く設定する必要がある。保持容量が蓄積容量方式すなわち専用の容量線に接続されている場合には、容量線をV_comと同じ波形で駆動すればよいが、保持容量が付加容量方式すなわち前段の走査線に接続されている場合には図12のように非選択電位をV_comと同期させて平行移動させることになる。本実施例でも、ノイズの少ない映像信号をD/Aコンバータでフィールド毎に交流反転出力させるために、D/Aコンバータに入力するデジタル映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用いる。そしてD/Aコンバータの電源レベルをフィールド毎に交互に切り替え、液晶に交流電圧を印加する。この方法では信号線に印加すべきD/Aコンバータのアナログ出力電圧範囲は正極性と負極性でそれほど大きな電位差がないため、D/Aコンバータ用の電源もあまり大きな振幅を必要としない。

【0042】さらに、より望ましい駆動方法としては以下の方法があるすなわち、図6に示すような容量結合方式のD/Aコンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。これによって、高速でデータを反転させるような回路が不要になるため、ノイズの発生も抑えることができ、外部回路が簡略化され、消費電流も少なくなる。

【0043】次に、本実施例においても信号線方向のクロストークも回避できる駆動方法について説明する。まず、液晶は交流駆動する必要があるため映像信号V_idはある電位V_cを中心に対称に1水平走査期間毎に交流反転させ、このV_cも1水平走査期間毎に逆位相で交流駆動する。このV_cと同期させて対向基板上の共通電極電位V_comも1水平走査期間毎に交流駆動する。なお、TFT方式の液晶表示装置では画素TFTがオフす

る際に生じるつきぬけ電圧分だけ画素電極の電位が信号線の電位より下がるため、対向基板上の共通電極電位V_comは、映像信号中心V_idよりこのつきぬけ電圧分だけ低く設定する必要がある。保持容量が蓄積容量方式すなわち専用の容量線に接続されている場合には、容量線をV_comと同じ波形で駆動すればよいが、保持容量が付加容量方式すなわち前段の走査線に接続されている場合には非選択電位をV_comと同期させて平行移動させることになる。この方法では1水平走査期間毎に逆極性の信号が信号線に印加されるためフリッカーが目立たなくなり、上下方向の輝度むらやクロストークも目立たなくなる。

【0044】さらに、より望ましい駆動方法としては以下の方法がある。すなわち、図6に示すような容量結合方式のD/Aコンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。これによって、高速でデータを反転させるような回路が不要になるためノイズの発生を抑えることができ、外部回路が簡略化され、消費電流も少なくなる。

【0045】(実施例6) 本実施例ではD/Aコンバータを用いる液晶表示装置の高画質化を図る第3の駆動方法について説明する。図12では対向基板の共通電極を交流駆動するため消費電力がやや大きくなる。本実施例ではD/Aコンバータ用の電源電圧範囲は狭くしながら、消費電力も比較的少ない駆動方法について説明する。なお、本実施例は付加容量方式つまり前段の走査線に保持容量が接続されている場合に適用できる。図13は液晶表示装置の駆動方法を示すタイミングチャートである。映像信号V_idは図12と同様の信号を用いるが、対向基板上の共通電極電位V_comは一定のままである。一方、走査信号は4レベルの電位の信号から成り、選択期間直後に選択電位から非選択電位に切り替わる前に一定期間非選択電位以上の電位を保つ場合と非選択電位以下の電位を保つ場合とをフィールド毎に切り換える。たとえば、図13において選択期間T₁後にたとえばT₂として2水平走査期間分だけ非選択電位と異なる電位を与える。この図においてT₂後は第1フィールドではV₁だけ保持容量の電位が上げられ、第2フィールドではV₂だけ電位が下げられるから、共通電極電位を交流駆動した場合と同様に液晶に交流電圧を印加できる。本実施例でも、ノイズの少ない映像信号をD/Aコンバータでフィールド毎に交流反転出力させるために、D/Aコンバータに入力するデジタル映像信号とシフトレジスタのタイミング信号には同一振幅の信号を用いる。そしてD/Aコンバータの電源レベルをフィールド毎に交互に切り替え、液晶に交流電圧を印加する。この方法では信号線に印加すべきD/Aコンバータのアナログ出力電圧範囲は正極性と負極性でそれほど大きな電位差がないため、D/Aコンバータ用の電源もあまり大きな振幅を必要としない。しかも共通電極電位は一定であ

るから液晶表示装置の消費電力も図 12 の場合より小さい。

【0046】さらに、より望ましい駆動方法としては以下の方法があるすなわち、図 6 に示すような容量結合方式の D/A コンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。これによって、高速でデータを反転させるような回路が不要になるため、ノイズの発生も抑えることができ、外部回路が簡略化され、消費電流も少なくなる。

【0047】次に、本実施例においても信号線方向のクロストークも回避できる駆動方法について説明する。まず、液晶は交流駆動する必要があるため映像信号 V_{id} はある電位 V_c を中心に対称に 1 水平走査期間毎に交流反転させ、この V_c も 1 水平走査期間毎に逆位相で交流駆動する。ただし、共通電極は一定のままである。そして、図 13 の第 1 フィールドの選択信号波形のように選択期間直後に非選択信号以下の電位を保つ波形と、第 2 フィールドのように選択期間直後に非選択信号以上の電位を保つ波形とを 1 水平走査期間毎に交互に繰り返す。これによって、1 水平走査期間毎に逆極性の信号が信号線に印加されるためフリッカーが目立たなくなり、上下方向の輝度むらやクロストークも目立たなくなる。

【0048】さらに、より望ましい駆動方法としては以下の方法がある。すなわち、図 6 に示すような容量結合方式の D/A コンバータを用い、白黒レベルを反転していないデジタル入力信号を用いるという方法である。これによって、高速でデータを反転させるような回路が不要になるためノイズの発生を抑えることができ、外部回路が簡略化され、消費電流も少なくなる。

【0049】（実施例 7）本実施例では液晶表示装置のドライバ回路内部の遅延時間に注目し、高画質化を図るための手段について説明する。一般に、デジタルデータドライバを用いる液晶表示装置においては、表示画面上のノイズの影響をなるべく少なくするため低電圧で駆動するのが望ましい。一方、画面の高精細化の要求からドライバの動作速度はむしろ高速化してきている。このため、ドライバ内部の遅延時間から本来の画像がずれて表示されることがある。あるいは、それを避けるためにあまり低電圧化できないという問題もある。本実施例の液晶表示装置では図 14 に示すように、データドライバに画像信号 59 が入力される部分に遅延回路 59 を設けている。一方、データドライバ内部ではクロック信号 58 によってシフトレジスタ 42 がラッチ 52 の選択パルスを 1 段ずつシフトさせている。ここで、ドライバ内部のロジックを低電圧化していくと、シフトレジスタ内部の遅延時間とラッチ回路の遅延時間によって、画像信号が取り込まれる時間が遅れてしまう。このドライバ内部の遅延時間をあらかじめシミュレーションで見積るか実際に測定しておき、その遅延時間分だけ遅延回路 59 で画像信号 56 を遅らせるとちょうど本来のタイミングでデ

ータを取り込むことができる。遅延回路の構成は、必要な時間だけデジタルデータを遅延させればよいからどんな回路でもかまわない。フリップフロップでもよいし、ただインバータ等を多段接続するだけでもかまわない。この方法によれば表示画像がずれる心配がないので、ロジック部の電圧を下げることができ、表示画面のノイズが減少する。

【0050】さらに、理想的にはドライバ毎に遅延時間を補償できるのが望ましい。そこで図 15 に示すよう

に、データドライバ内部に遅延時間検出回路 66 と遅延時間補償回路 69 とを設けておく。ここで、遅延時間検出回路とはシフトレジスタ 51 とラッチ 52 の 1 段分の回路構成と同様の回路や同じ寸法の素子で形成して遅延時間が等しくなる回路にしておき、クロック信号 58 からその遅延時間分だけ遅れてパルスを発生させる。このパルスをトリガにして遅延時間補償回路 69 から画像信号 56 をを入力すればよい。この方式では、ドライバのプロセス条件のばらつきによってドライバ毎に遅延時間が異なっても表示画面がずれることがない。あるいは、同じ液晶表示装置でも低温や高温で動作させることでドライバ内部の遅延時間がずれても全く問題がない。

【0051】本実施例の液晶表示装置が最もその効果を発揮できるのは、ドライバ回路をアクティブマトリクス基板上に一体形成した場合である。図 16 に示すように、ガラス基板上に形成した CMOS 型のポリシリコン TFT を用いて周辺ドライバ回路を一体形成した液晶表示装置の場合、ポリシリコン TFT の移動度が単結晶シリコンのその数分の 1 しかないため、ドライバ内部の遅延時間が大きい。また非単結晶であるために、プロセス条件のばらつきによってドライバ間のばらつきも大きい。従って、本実施例の画像信号遅延回路や遅延時間検出回路と遅延時間補償回路を用いることによって、高画質のドライバ内蔵型液晶表示装置を実現できる。

【0052】次に、本実施例の液晶表示装置の駆動方法についても説明しておく。まず、図 14 の画像信号遅延回路を用いた場合について説明する。一般に液晶表示装置の映像信号データには輝度信号とタイミング信号が同時に送られてくるから、外部同期回路で容易にクロック信号 58 と画像信号 56 とを形成できる。もちろん、この 2 つの信号は同期しており、タイミングのずれはない。このクロック信号を用いた場合のシフトレジスタ 51 内部の遅延時間と、ラッチ 52 の遅延時間をシミュレーションや実測で正確に見積る。この見積られた遅延時間分だけ画像信号遅延回路 59 を用いて画像信号 56 を遅らせる。この結果、ラッチに取り込まれる画像信号の遅延時間と、シフトレジスタ及びラッチ回路の動作に要する遅延時間とが同期がとれることになる。すなわち理想的なタイミングで画像信号データを取り込めるため画面のずれを生じない。

【0053】同様に、図 15 を用いた場合についても説

明しておく。ここでも外部同期回路で形成されたクロック信号58と画像信号56とを用いる。もちろん、この2つの信号は同期しており、タイミングのずれはない。このクロック信号を用いた場合のシフトレジスタ51内部の遅延時間とラッチ52の遅延時間を遅延時間検出回路66で検出する。この検出された遅延時間分だけ遅延時間補償回路69を用いて画像信号56を遅らせる。この結果、ラッチに取り込まれる画像信号の遅延時間と、シフトレジスタ及びラッチ回路の動作に要する遅延時間とが同期がとれることになる。この方法では、遅延時間のずれが自己補償されているため、どんな条件で駆動しても常に理想的なタイミングで画像信号データを取り込めるため画面のずれを生じない。

【0054】(実施例8) 本実施例ではD/Aコンバータ内蔵の液晶表示装置を用いた表示システムについて説明する。図17において、コンピュータ等のアナログ映像信号発生装置から発生されたアナログR、G、Bの映像信号はD/Aコンバータでnビット×3のデジタル信号に変換される。信号源にビデオ装置等を用いる場合にはアナログR、G、Bの映像信号に変換した上でD/Aコンバータに入力させる。もちろん、信号源がデジタル映像信号を発生する場合にはこのD/Aコンバータは不要となる。次に、このnビット×3のデジタル映像信号をγ補正用ROMによって逐次(n+m)×3ビットのデジタル映像信号に変換する。変換された映像信号はデータドライバに送られる。一方、タイミングコントローラはアナログ映像信号発生回路の信号と同期をとって、A/Dコンバータ、データドライバ、走査ドライバの駆動信号を発生させる。データドライバは、タイミングコントローラから受けるクロック信号と同期して、順次(n+m)×3ビットの映像信号をラッチに取り込み、(n+m)×3ビットのD/Aコンバータを介してアクティブマトリクス部の信号線を駆動する。走査ドライバによって選択された走査線毎にこの映像信号を画素に書き込み、アクティブマトリクス部の画面が表示される。この表示システムではγ補正はROMに書き込まれたテーブルで行っているため複雑な電源が不要で、しかもすべての階調信号について補正をかけることができるためすぐれた色再現表示が可能である。

【0055】本実施例を携帯用のシステムとして用いる場合には、消費電流をなるべく抑える必要がある。そこで、望ましくはA/Dコンバータの出力信号、γ補正用ROMの入出力信号、タイミングコントローラの出力信号、及びデータドライバと走査ドライバの入力信号の電圧振幅を同一とし、なるべく低い電圧で駆動する。必要な部分はレベルシフタで昇圧する。また、D/Aコンバータ用の電源も2レベル用いて正極性の信号を印加する場合と負極性の信号を印加する場合とで使い分けるとさらに低消費電力化が図れる。

【0056】低電圧電源のロジックを用いて高速で画像

信号を書き込むと表示画面のずれを生じやすくなるため、さらに望ましくは表示システム内部の遅延時間を最適化する。すなわち、図17においてD/Aコンバータとγ補正用ROMの遅延時間がデータドライバ内部のクロック信号から映像信号データをラッチするまでの遅延時間と等しくなるようにする。もし、データドライバ内部の遅延時間が大きすぎる場合には、データドライバのデジタル映像信号入力部に遅延回路を設け、この遅延回路の遅延時間とA/Dコンバータ及びγ補正用ROMの遅延時間の和がデータドライバ内部の遅延時間と等しくなるようにすればよい。

【0057】さらに、携帯性を追求するなら周辺駆動回路を一体形成したアクティブマトリクス型の液晶表示装置を用いるのが望ましい。すなわち、図16に示すようなガラス基板上に形成したポリシリコンTFT回路を用いて、アクティブマトリクス部の周辺にドライバ回路を形成する。これによって、システムの小型・軽量化が可能となる。

【0058】

20 【発明の効果】以上述べたように、本発明の液晶表示装置はnビットのデジタル入力映像データをn+mビットに変換するデータ変換回路とn+mビットのデジタルデータドライバを備えているから、任意の階調表示特性に合わせた画像表示が可能である。また、データ変換回路に液晶のγ特性を補正するための変換テーブルを書き込んだROMを用いたから、階調表示のすべての点についてγ補正を行うことができるため非常にすぐれた階調表示性能を得ることができる。また、n+mビットのD/Aコンバータを内蔵しているから、外部入力電源数が減少し、装置の小型・軽量化・低コスト化が可能となる。また、TFT又は非線形素子を用いたアクティブマトリクス型液晶表示装置を用いたから、高いコントラスト比を得ることができ多階調表示やフルカラー化が可能となる。また、ガラス基板上にポリシリコンTFT回路を用いて周辺ドライバを一体形成したから、装置のさらなる小型・軽量化が可能となる。また、容量結合方式のD/Aコンバータを用いたから低消費電力化が可能となる。また、D/Aコンバータの容量を同じ形状のものを並列に配置したから容量比のばらつきがなく、高い精度で階調表示が可能となる。また、定電流2進減衰方式のD/Aコンバータを用いたから、非常に大型の液晶表示装置を実現することもできる。

40 【0059】本発明の液晶表示装置の駆動方法は、nビットのデジタル入力信号を液晶のγ特性に合わせてn+mビットのデジタルデータに逐次変換するから、単純な回路で正確なγ補正を行うことができ、高品位の表示画像を得ることができる。また、水平走査期間のブランキング期間内に全ての信号線を同一電位にリセットした後、n+mビットのD/A変換された電圧を各信号線に印加するから、前回書き込まれた信号の影響をなくすこ

とができ、残像を生じることもない。

【0060】本発明の液晶表示装置は、ロジック部分が単一低電源電圧で駆動されD/Aコンバータ部やバッファ部より電圧が低いから、表示画面にノイズを発生しにくい。また、ポリシリコンTFTを用いて周辺駆動回路を一体形成したから、電源の配線を共通化し低抵抗化できるため、よりノイズを発生しにくくなる。また、容量分割方式のD/Aコンバータを用いたから、必要最低限の電流しか流れないためさらにノイズを発生しにくくなる。また、並列接続されたnチャネルとpチャネルの2つのトランジスタに入力部が接続されているレベルシフトを用いたから、レベルシフトに流れる電流も抑えることができ、ますますノイズを発生しにくくなる。

【0061】本発明の液晶表示装置の駆動方法は、D/Aコンバータの電源レベルをフィールド毎に交互に切り換えるから、消費電流が少なくノイズも発生しにくい。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0062】本発明の液晶表示装置の駆動方法は、複数系列のD/Aコンバータを用いて電源レベルをフィールド毎に交互に切り換え隣接する信号線には逆極性の映像信号を印加するから、消費電流が少なくフリッカーや横クロストークも生じない。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0063】本発明の液晶表示装置の駆動方法は、複数系列のD/Aコンバータを用いて電源レベルを水平走査期間毎に交互に切り換え上下左右に隣接する画素には逆極性の映像信号を印加するから、消費電力が少なくフリッカーや上下左右のクロストークを生じない。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0064】本発明の液晶表示装置の駆動方法は、D/Aコンバータの電源レベルをフィールド毎に交互に切り換え共通電極電位も逆極性で交互に切り換えるから、D/Aコンバータ用の電源電圧範囲を縮小することができる。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0065】本発明の液晶表示装置の駆動方法は、D/Aコンバータの電源レベルを水平走査期間毎に交互に切り換え共通電極電位も逆極性で交互に切り換えるから、D/Aコンバータ用の電源電圧範囲を縮小することができる。また、フリッカーや縦クロストークを生じにくい。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0066】本発明の液晶表示装置の駆動方法は、D/Aコンバータの電源レベルをフィールド毎に交互に切り換え非選択期間の走査線信号も逆極性で交互に切り換えるから、D/Aコンバータ用の電源電圧範囲を縮小することができ、消費電流が少なくノイズも発生しにくい。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0067】本発明の液晶表示装置の駆動方法は、D/Aコンバータの電源レベルを水平走査期間毎に交互に切り換え非選択期間の走査線信号も逆極性で交互に切り換えるから、D/Aコンバータ用の電源電圧範囲を縮小することができ、消費電流が少なくノイズも発生しにくく縦クロストークを生じにくい。また、容量分割方式のD/Aコンバータで非反転データを用いるから、画像信号反転回路が不要で、さらに消費電流が少なく、ノイズも減らすことができる。

【0068】本発明の液晶表示装置は、ドライバ内部の遅延時間に合わせて映像信号を遅延させる回路を備えているから、ドライバの駆動電圧を低電圧化しても表示画面がずれることがない。また、ドライバ内部に遅延時間検出回路と遅延時間補償回路を備えているから、ドライバの製造条件のばらつきや使用環境の変化があっても表示画面がずれることはない。また、ポリシリコンTFT回路を用いて周辺ドライバをガラス基板上に一体形成したから、装置の小型・軽量化が可能となる。

【0069】本発明の液晶表示装置の駆動方法は、ドライバ内部の遅延時間を見積って映像信号を遅延させるから、様々な性能のドライバ回路を様々な条件で用いても表示画面がずれることがない。また、ドライバ内部の遅延時間を検出し遅延時間補償回路で自己補正させるため、ドライバの製造条件のばらつきや使用環境の変化があっても表示画面がずれることがなく、特にTFT回路のようにばらつきの大きい回路でドライバを構成しても簡単な外部回路で駆動できる。

【0070】本発明の表示システムは、アナログ映像信号をD/A変換しnビットのデジタル信号とし、 γ 補正回路でデータ変換しn+mビットのD/Aコンバータ内蔵ドライバで駆動するため、すぐれた階調表示が再現でき、フルカラー化が容易である。たとえばマルチメディア対応の高画質表示システムを容易に実現できる。また、ロジック部の信号振幅を同一の低電圧としたため、消費電力が少なく小型のバッテリーでも長時間使用できるシステムとなる。また、ドライバ内部の遅延時間に合わせて映像信号を遅延させるため、低電圧で駆動しても画面がずれることがない。したがって、さらに低消費電力化が可能でノイズの影響も受けにくくなる。また、ポリシリコンTFT回路による周辺ドライバ一体形成型の液晶表示装置を用いるため、システムの小型・軽量化が可能となる。

【図面の簡単な説明】

【図 1】 液晶表示装置の回路図。

【図 2】 従来の D/A コンバータ内蔵データドライバの回路図。

【図 3】 9 電源方式の液晶表示装置の透過率の入力電圧依存性を示す図。

【図 4】 9 電源方式の液晶表示装置の透過率の入力電圧依存性の一部を示す図。

【図 5】 液晶表示装置の透過率の入力電圧依存性の一部を示す図。

【図 6】 容量分割方式 D/A コンバータ内蔵データドライバの回路図。

【図 7】 8 ビットデータドライバの動作電圧のタイミングチャート。

【図 8】 定電流 2 進減衰方式 D/A コンバータ内蔵データドライバの回路図。

【図 9】 双方向シフトレジスタの回路図とタイミングチャート。

【図 10】 レベルシフタの回路図とタイミングチャート。

【図 11】 液晶表示装置の動作方法を示すタイミングチャート。

【図 12】 液晶表示装置の動作方法を示すタイミングチャート。

【図 13】 液晶表示装置の動作方法を示すタイミングチャート。

【図 14】 液晶表示装置のデータ入力部の回路図。

【図 15】 液晶表示装置のデータ入力部の回路図。

【図 16】 ポリシリコン TFT の製造工程を示す断面図。

【図 17】 液晶表示装置を用いた表示システムのブロック図。

【符号の説明】

1 アクティブマトリクス部

2、42 データドライバ部

3 走査ドライバ部

4 信号線

5 走査線

6 画素 TFT

7 保持容量

8 液晶容量

9、11、51、61 シフトレジスタ

10 レベルシフタ

12、13、52 ラッチ

10 14 D/A コンバータ

15 γ補正用 ROM

16 n ビット画像信号

17 n+m ビット画像信号

21 上位 3 ビット画像信号

22 下位 3 ビット画像信号

23、24 デコーダ

25 電源選択回路

26 抵抗分割方式 D/A コンバータ

31 実際の透過率依存性

20 32 9 電源方式で前提とした透過率依存性

56 画像信号

58 クロック信号

59 画像信号遅延回路

66 遅延時間検出回路

69 遅延時間補償回路

71 ガラス基板

72 poly-Si 薄膜

73 ゲート絶縁膜

74 ゲート電極

30 75 マスク材

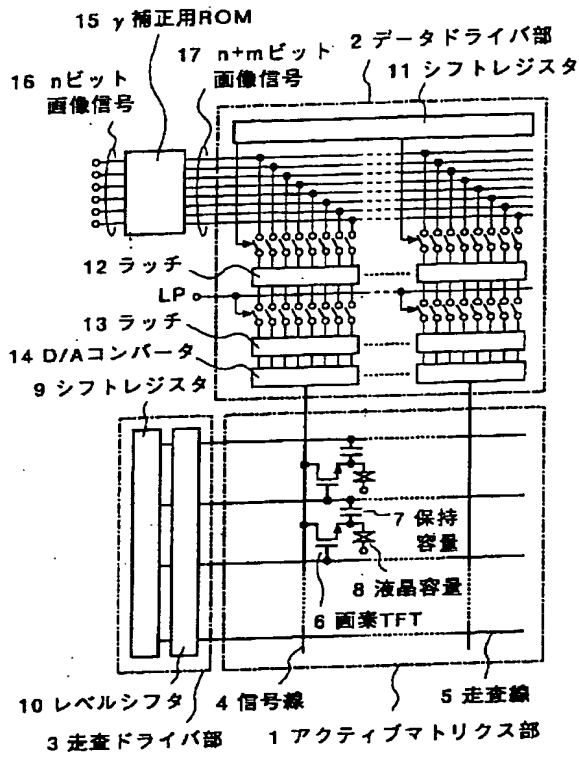
76 層間絶縁膜

77 金属薄膜

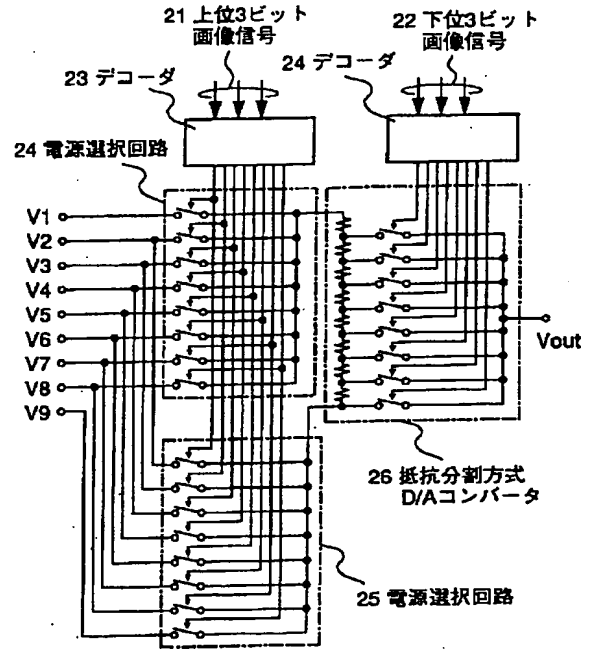
78 パッシベーション膜

79 透明導電膜

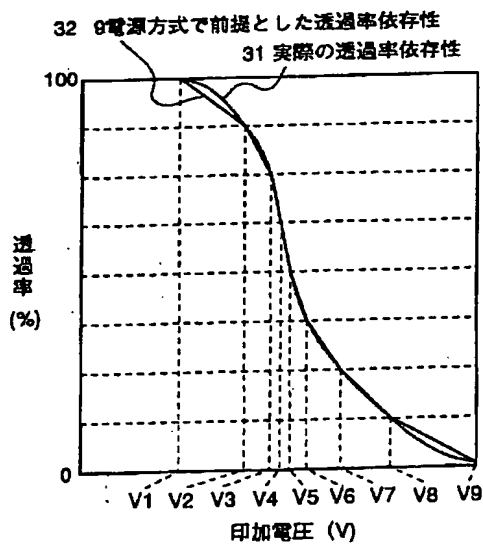
【図1】



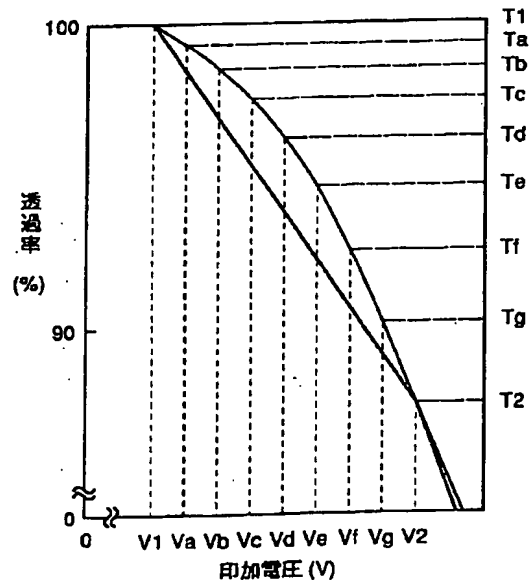
【図2】



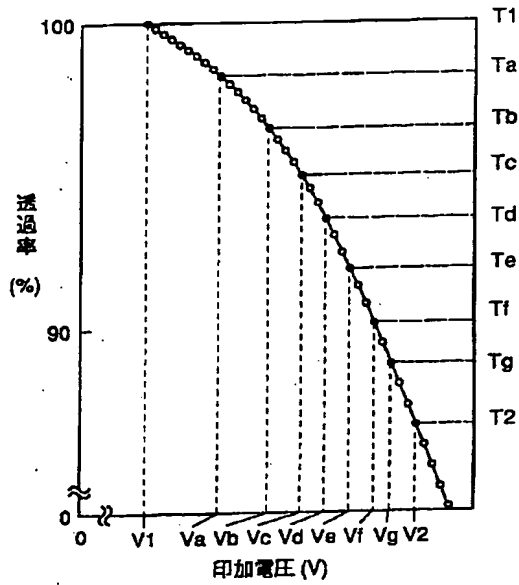
【図3】



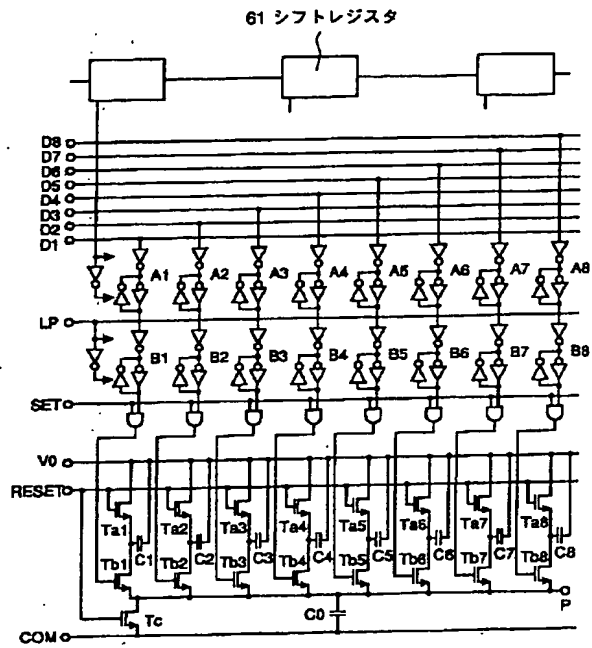
【図4】



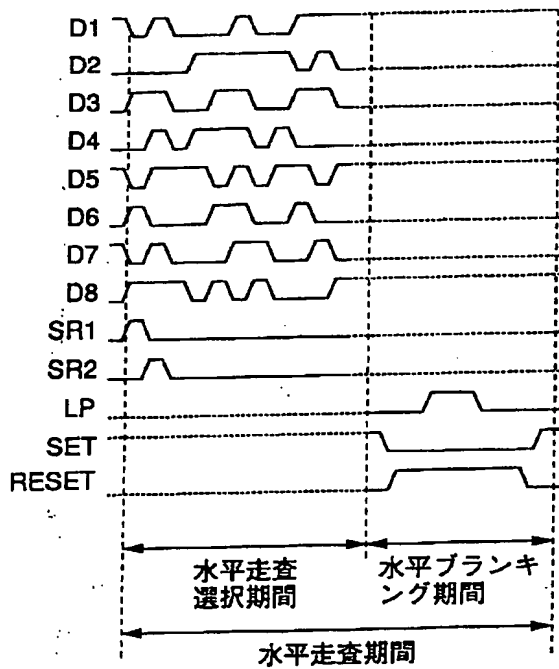
【図 5】



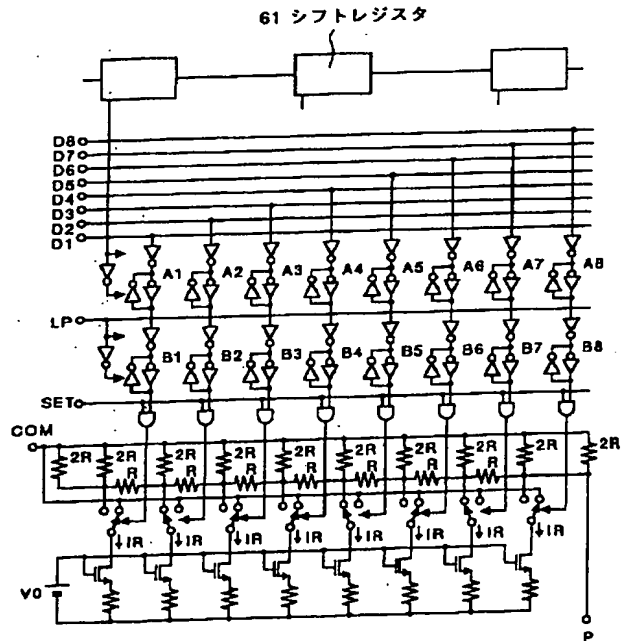
【図 6】



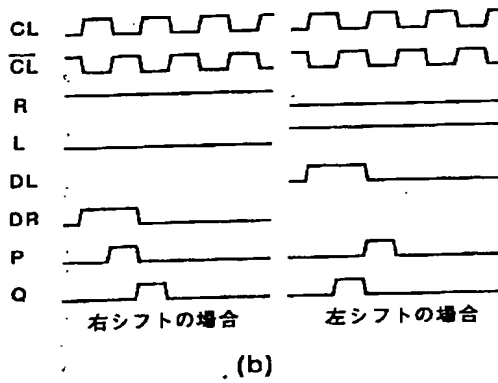
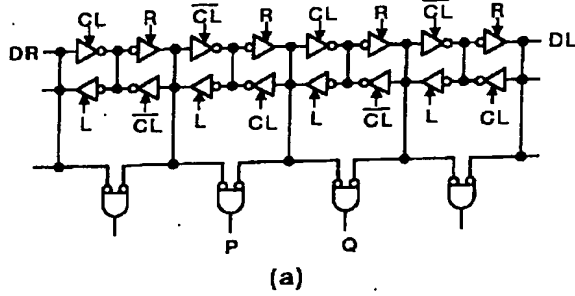
【図 7】



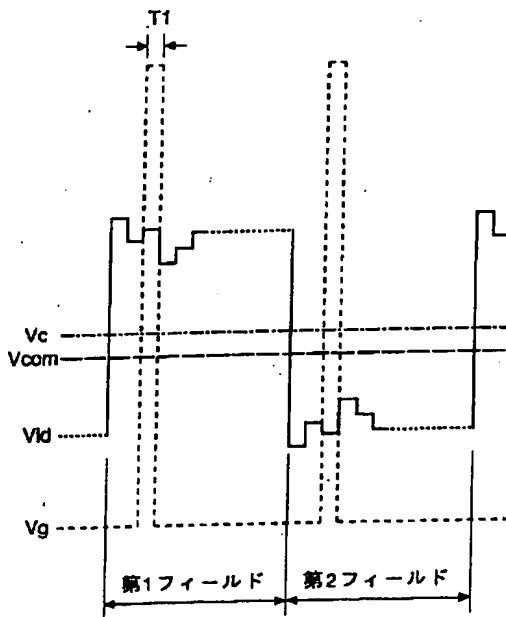
【図 8】



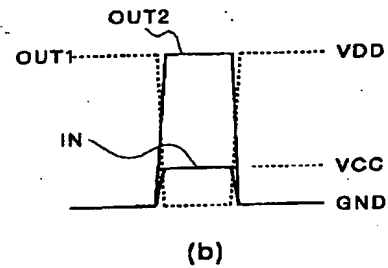
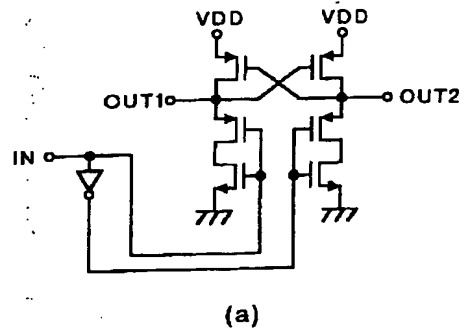
【図9】



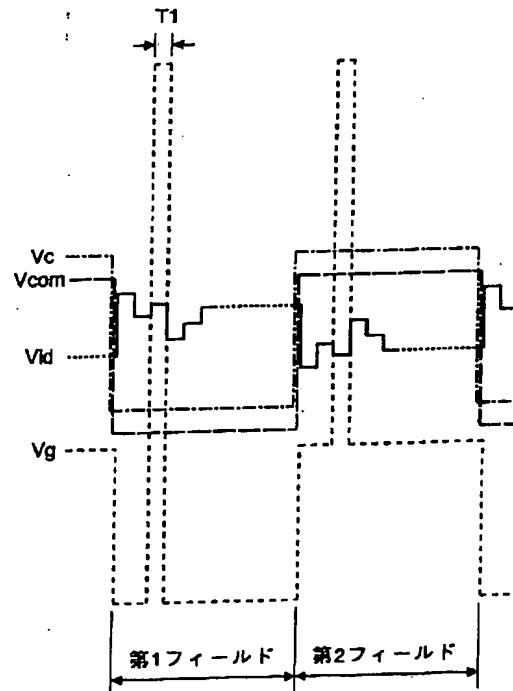
【図11】



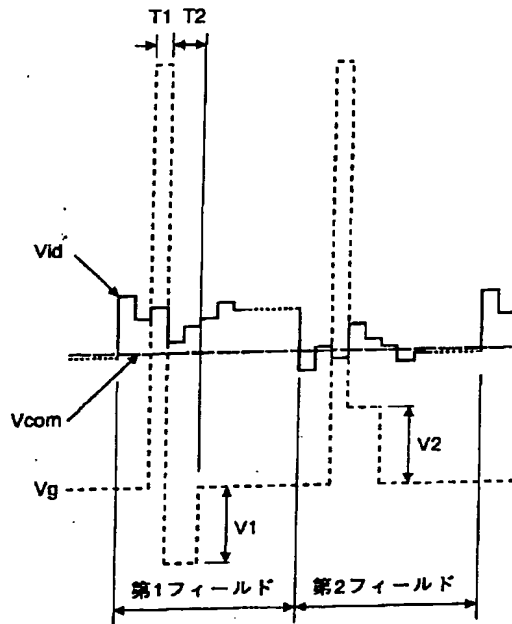
【図10】



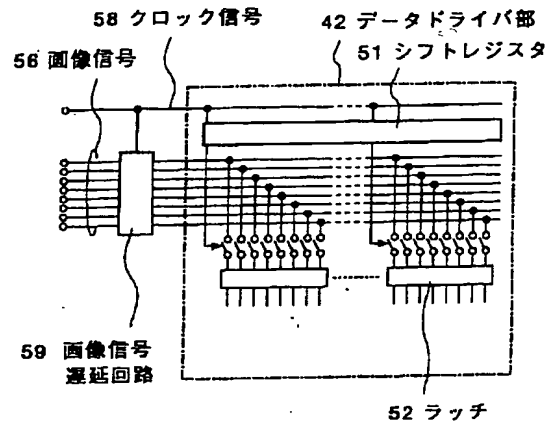
【図12】



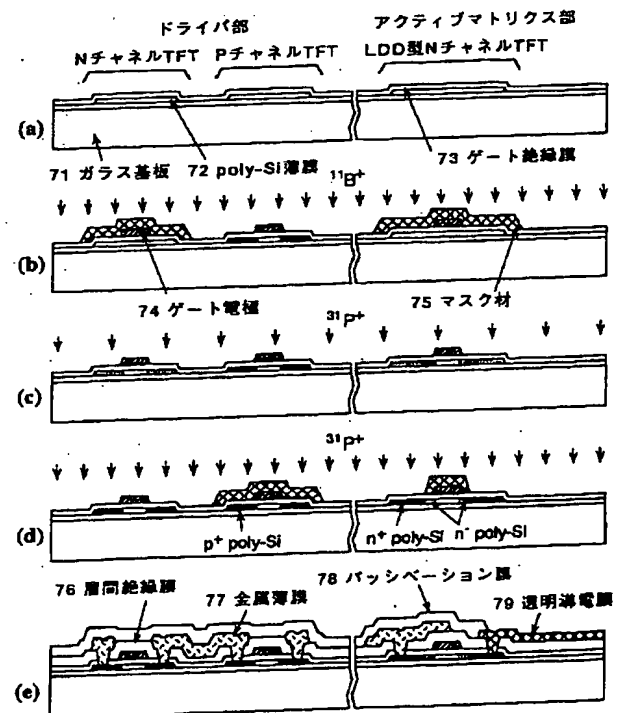
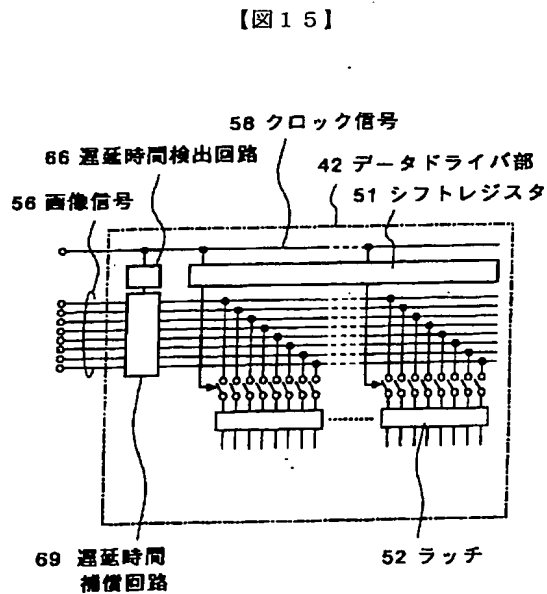
【図13】



【図14】



【図16】



【図17】

